

## Características de algunos Registros de Funciones Especiales (SFR):

### ▪ Palabra de control (PSW)

|    |    |    |     |     |    |   |   |
|----|----|----|-----|-----|----|---|---|
| CY | AC | FO | RS1 | RS0 | OV | - | P |
|----|----|----|-----|-----|----|---|---|

Funciones de los bits:

**CY:** Bandera de acarreo.

**CA:** Bandera auxiliar de acarreo. Se utiliza para operaciones en BCD.

**FO:** Bandera de usuario de propósito general.

**RS0, RS1:** Bits de selección del banco de registros.

| RS1 | RS0 | Descripción                                                         |
|-----|-----|---------------------------------------------------------------------|
| 0   | 0   | Banco 0 seleccionado. Direcciones de la memoria de datos de 00H-07H |
| 0   | 1   | Banco 1 seleccionado. Direcciones de la memoria de datos de 08H-0FH |
| 1   | 0   | Banco 2 seleccionado. Direcciones de la memoria de datos de 10H-17H |
| 1   | 1   | Banco 3 seleccionado. Direcciones de la memoria de datos de 18H-1FH |

**OV:** Bandera de overflow.

**P:** Bandera de paridad. Se pone a '1' ('0') por hardware, en cada ciclo de instrucción, para indicar que el acumulador contiene un número impar (par) de '1'.

### ▪ Puerto 3 (P3)

| Terminal del puerto | Función alternativa                                                        |
|---------------------|----------------------------------------------------------------------------|
| P3.0                | RXD (Terminal de entrada del puerto serie)                                 |
| P3.1                | TXD (Terminal de salida del puerto serie)                                  |
| P3.2                | $\overline{\text{INT0}}$ (Terminal de interrupción externa 0)              |
| P3.3                | $\overline{\text{INT1}}$ (Terminal de interrupción externa 1)              |
| P3.4                | T0 (Terminal de entrada externa del temporizador 0)                        |
| P3.5                | T1 (Terminal de entrada externa del temporizador 1)                        |
| P3.6                | $\overline{\text{WR}}$ (Señal de escritura en la memoria externa de datos) |
| P3.7                | $\overline{\text{RD}}$ (Señal de lectura en la memoria externa de datos)   |

### ▪ Registro de control de los temporizadores y las interrupciones externas (TCON)

|                          |     |     |     |                                   |     |     |     |
|--------------------------|-----|-----|-----|-----------------------------------|-----|-----|-----|
| TF1                      | TR1 | TF0 | TR0 | IE1                               | IT1 | IE0 | IT0 |
| -----Temporizadores----- |     |     |     | -----Interrupciones Externas----- |     |     |     |

Funciones de los bits:

**TFx:** Bandera de interrupción de los contadores/temporizadores. Se pone en nivel '1' (por hardware) cuando el contador/temporizador pasa del valor máximo de conteo a 0 (desbordamiento). Se pone en nivel '0' (por hardware) cuando el procesador transfiere el control a la subrutina de servicio de la interrupción.

**TRx:** Es el bit de control del conteo. Se pone en nivel '1' o '0' mediante programa.

**IEx:** Bandera de interrupción externa. Se pone a nivel '1' (por hardware) cuando se detecta un flanco de bajada en el terminal de interrupción externa INTx (puerto 3) si el bit ITx correspondiente está en nivel '1'. Se pone

en nivel '0' (por hardware) cuando el procesador transfiere el control a la subrutina de servicio de la interrupción (cuando la interrupción externa está configurada por flanco de bajada).

**ITx:** Determina si la interrupción externa correspondiente es activa por flanco de bajada (ITx = '1') o por nivel cero (ITx = '0').

## ▪ Registro de modo de operación de los temporizadores (TMOD)

| GATE                     | C/T | M1 | M0 | GATE                     | C/T | M1 | M0 |
|--------------------------|-----|----|----|--------------------------|-----|----|----|
| -----Temporizador 1----- |     |    |    | -----Temporizador 0----- |     |    |    |

Funciones de los bits:

| M1 | M0 | Modo | Descripción                                                                                                                                                                                                                                            |
|----|----|------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0  | 0  | 0    | Contador/Temporizador de 13 bits                                                                                                                                                                                                                       |
| 0  | 1  | 1    | Contador/Temporizador de 16 bits                                                                                                                                                                                                                       |
| 1  | 0  | 2    | Contador/Temporizador de 8 bits con autorecarga                                                                                                                                                                                                        |
| 1  | 1  | 3    | Temporizador 0:<br>TL0 se comporta como un Contador/Temporizador de 8 bits controlado por las señales de control del temporizador 0. TH0 se comporta como un Contador/Temporizador de 8 bits controlado por las señales de control del temporizador 1. |
|    |    |      | Temporizador 1:<br>Detiene el Contador/Temporizador 1.                                                                                                                                                                                                 |

**C/T:** Selecciona el modo contador ('1') o temporizador ('0'). En modo contador cuenta las transiciones de '1' a '0' en los terminales T0 o T1 (puerto 3). En modo temporizador cuenta los ciclos de máquina ( $f_{OSC}/12$ ).

**GATE:** Cuando está en nivel '0' el contador/temporizadorX cuenta mientras TRx (bit del registro TCON) está en nivel '1'. Cuando GATE está en nivel '1' el contador/temporizadorX cuenta mientras TRx e INTx (terminal de interrupción externa) están en nivel '1'.

## ▪ Registro de control del puerto serie (SCON)

| SM0 | SM1 | SM2 | REN | TB8 | RB8 | TI | RI |
|-----|-----|-----|-----|-----|-----|----|----|
|-----|-----|-----|-----|-----|-----|----|----|

Funciones de los bits:

| SM0 | SM1 | Modo | Descripción                | Frecuencia en Baudios       |
|-----|-----|------|----------------------------|-----------------------------|
| 0   | 0   | 0    | Registro de desplazamiento | $f_{OSC}/12$                |
| 0   | 1   | 1    | UART de 8 bits             | Variable                    |
| 1   | 0   | 2    | UART de 9 bits             | $f_{OSC}/64$ o $f_{OSC}/32$ |
| 1   | 1   | 3    | UART de 9 bits             | Variable                    |

**SM2:** Habilita la comunicación multiprocesador cuando el puerto serie está configurado en modo 2 o 3. Si SM2='1' el bit que indica la recepción de un dato (RI) no se activa si el noveno bit recibido es '0' (RB8='0'). En modo 1 si SM2='1' el bit que indica la recepción de un dato (RI) no se activa si no se recibe un bit de fin de transmisión válido. En modo 0 SM2 debe ser '0'.

**REN:** Habilita la recepción serie. Se pone en nivel '1' (por software) para habilitar la recepción y en '0' (por software) para inhibirla.

**TB8:** Es el noveno bit de dato que se transmite cuando el puerto serie está configurado en modo 2 o 3.

**RB8:** En los modos 2 y 3 RB8 es el noveno bit del dato que se recibió. En modo 1, si SM2='0', es el bit de fin de transmisión que se recibió. En modo 0 no se utiliza.

**TI:** Es la bandera de interrupción de la transmisión. Se pone en '1' (por hardware) cuando se recibe el octavo bit de datos si el puerto serie está configurado en modo 0, o al inicio del bit de fin de transmisión en cualquier otro modo de operación. La puesta a cero se debe realizar por software.

**RI:** Es la bandera de interrupción de la recepción. Se pone en '1' (por hardware) cuando se recibe el octavo bit de datos si el puerto serie está configurado en modo 0, o en el instante medio del bit de fin de transmisión en cualquier otro modo de operación (excepto si está activo el modo multiprocesador. Ver SM2). La puesta a cero se debe realizar por software.

Valores de configuración del temporizador 1 para generar las frecuencias de transmisión más comunes:

| Baud Rate            | $f_{osc}$ (MHz) | SMOD | Timer 1 |      |                 |
|----------------------|-----------------|------|---------|------|-----------------|
|                      |                 |      | C/T     | Mode | Reload Value    |
| Mode 1, 3:62.5 Kbaud | 12.0            | 1    | 0       | 2    | FF <sub>H</sub> |
| 19.2 Kbaud           | 11.059          | 1    | 0       | 2    | FD <sub>H</sub> |
| 9.6 Kbaud            | 11.059          | 0    | 0       | 2    | FD <sub>H</sub> |
| 4.8 Kbaud            | 11.059          | 0    | 0       | 2    | FA <sub>H</sub> |
| 2.4 Kbaud            | 11.059          | 0    | 0       | 2    | F4 <sub>H</sub> |
| 1.2 Kbaud            | 11.059          | 0    | 0       | 2    | E8 <sub>H</sub> |
| 110 Baud             | 6.0             | 0    | 0       | 2    | 72 <sub>H</sub> |
| 110 Baud             | 12.0            | 0    | 0       | 1    | FE <sub>H</sub> |

#### ▪ Registro de control del CAD [ADCON0 (80537)]

|   |   |      |     |     |     |     |     |
|---|---|------|-----|-----|-----|-----|-----|
| X | X | ADEX | BSY | ADM | MX2 | MX1 | MX0 |
|---|---|------|-----|-----|-----|-----|-----|

Funciones de los bits:

**MX0, MX1 y MX2:** Seleccionan 1 de 8 canales de entrada del convertidor A/D [canal 0 (P7.0) a canal 7 (P7.7)].

**ADM:** Selecciona el modo de conversión. Si ADM=0, se selecciona el modo de conversión única en el que sólo se realiza una conversión después de la orden de inicio de conversión. Si ADM=1 se selecciona el modo de conversión continua en el que después de terminar una conversión se inicia otra de forma automática.

**BSY:** Indica si se está realizando una conversión. Se pone a nivel '1' por hardware cuando se inicia una conversión y a nivel '0' (también por hardware) cuando finaliza una conversión. Este bit es de sólo lectura, escribir en él no tiene efecto.

**ADEX:** Selecciona si la orden de inicio de conversión es interna o externa.

Si ADEX=0 la orden de conversión es interna y se produce cuando se ejecuta una instrucción de escritura en el registro DAPR. Si se utiliza el modo de conversión continua (ADM=1) la conversión se detiene cuando se pone a 0 el bit ADM.

Si ADEX=1 la orden de conversión es externa a través del terminal P6.0 (ADST). Cuando se utiliza el modo de conversión única (ADM=0), el inicio de conversión está definido por una transición de '1' a '0' en el terminal P6.0 (ADST). Si se utiliza modo de conversión continua (ADM=1), se inicia la conversión cuando se detecta el nivel '0' en el terminal P6.0 (ADST) y se detiene la conversión cuando dicho terminal pasa a nivel '1'.

#### ▪ Registro de control del CAD [ADCON1 (80537)]

|   |   |   |   |     |     |     |     |
|---|---|---|---|-----|-----|-----|-----|
| - | - | - | - | MX3 | MX2 | MX1 | MX0 |
|---|---|---|---|-----|-----|-----|-----|

Funciones de los bits:

**MX0, MX1, MX2 y MX3:** Seleccionan 1 de los 12 canales de entrada del convertidor A/D [canal 0 (P7.0) a canal 11 (P8.3)]. Los bits MX0, MX1 y MX2 se pueden modificar tanto en el registro ADCON0 como en el ADCON1.

#### ▪ Registro de datos del CAD [ADDAT (80537)]

|                                   |
|-----------------------------------|
| <b>Resultado de la conversión</b> |
|-----------------------------------|

El registro ADDAT es el encargado de almacenar el resultado de una conversión (8 bits). Cada vez que termina una conversión su contenido se modifica con el nuevo resultado.

▪ **Registro de definición de la tensión de referencia del CAD [DAPR (80537)]**

|                                     |                                     |
|-------------------------------------|-------------------------------------|
| Programming of $V_{\text{INTAREF}}$ | Programming of $V_{\text{INTAGND}}$ |
|-------------------------------------|-------------------------------------|

El registro DAPR permite definir el rango de tensión de referencia ( $V_{\text{INTAREF}} - V_{\text{INTAGND}}$ ) que utiliza el CAD:

- o Los cuatro bits más significativos seleccionan un valor entre 16 para el límite superior del rango de tensión de referencia interna ( $V_{\text{INTAREF}}$ ).
- o Los cuatro bits menos significativos seleccionan un valor entre 16 para el límite inferior del rango de tensión de referencia interna ( $V_{\text{INTAGND}}$ ).

Para el correcto funcionamiento del CAD se requiere una diferencia de al menos 1V entre las tensiones  $V_{\text{INTAREF}}$  y  $V_{\text{INTAGND}}$ .

o Si  $\text{DAPR}[7:4]=0 \rightarrow V_{\text{INTAREF}}=V_{\text{AREF}}$

o Si  $\text{DAPR}[3:0]=0 \rightarrow V_{\text{INTAGND}}=V_{\text{AGND}}$

Posibles valores de  $V_{\text{INTAREF}}$  y  $V_{\text{INTAGND}}$  cuando  $V_{\text{AREF}}=5\text{V}$  y  $V_{\text{AGND}}=0\text{V}$ :

| Step | DAPR (.3-.0)<br>DAPR (.7-.4) | $V_{\text{INTAGND}}$ | $V_{\text{INTAREF}}$ |
|------|------------------------------|----------------------|----------------------|
| 0    | 0000                         | 0.0                  | 5.0                  |
| 1    | 0001                         | 0.3125               | –                    |
| 2    | 0010                         | 0.625                | –                    |
| 3    | 0011                         | 0.9375               | –                    |
| 4    | 0100                         | 1.25                 | 1.25                 |
| 5    | 0101                         | 1.5625               | 1.5625               |
| 6    | 0110                         | 1.875                | 1.875                |
| 7    | 0111                         | 2.1875               | 2.1875               |
| 8    | 1000                         | 2.5                  | 2.5                  |
| 9    | 1001                         | 2.8125               | 2.8125               |
| 10   | 1010                         | 3.125                | 3.125                |
| 11   | 1011                         | 3.4375               | 3.4375               |
| 12   | 1100                         | 3.75                 | 3.75                 |
| 13   | 1101                         | –                    | 4.0625               |
| 14   | 1110                         | –                    | 4.375                |
| 15   | 1111                         | –                    | 4.6875               |

▪ **Registro de control de interrupciones [IRCON (80537)]**

|      |     |      |      |      |      |      |      |
|------|-----|------|------|------|------|------|------|
| EXF2 | TF2 | IEX6 | IEX5 | IEX4 | IEX3 | IEX2 | IADC |
|------|-----|------|------|------|------|------|------|

Funciones de los bits:

**IADC:** Bandera de interrupción del convertidor A/D. Se pone a nivel '1' (por hardware) cuando finaliza una conversión. Se debe poner a nivel '0' por software.

▪ **Registro de desinhibición de interrupciones [IE (8051) o IEN0 (80537)]**

|    |   |   |    |     |     |     |     |
|----|---|---|----|-----|-----|-----|-----|
| EA | X | X | ES | ET1 | EX1 | ET0 | EX0 |
|----|---|---|----|-----|-----|-----|-----|

#### Funciones de los bits:

**EA:** Inhibe/deshinhibe todas las interrupciones. Si EA='0' no se atiende ninguna interrupción. Si EA='1' cada fuente de interrupción se inhibe o desinhibe de forma individual mediante la puesta a '1' o a '0' del bit de control correspondiente.

**ES:** Inhibe (ES='0') o habilita (ES='1') las interrupciones del puerto serie.

**ET1:** Inhibe (ET1='0') o habilita (ET1='1') la interrupción del contador/temporizador 1.

**EX1:** Inhibe (EX1='0') o habilita (EX1='1') la interrupción externa 1.

**ET0:** Inhibe (ET0='0') o habilita (ET0='1') la interrupción del contador/temporizador 0.

**EX1:** Inhibe (EX0='0') o habilita (EX0='1') la interrupción externa 0.

#### ▪ **Registro de desinhibición de interrupciones [IEN1 (80537)]**

|  |  |  |  |  |  |  |      |
|--|--|--|--|--|--|--|------|
|  |  |  |  |  |  |  | EADC |
|--|--|--|--|--|--|--|------|

#### Funciones de los bits:

**EADC:** Inhibe (EADC=0) o habilita (EADC=1) la interrupción del CAD.

#### ▪ **Registro de prioridad de interrupciones (IP)**

|   |   |   |    |     |     |     |     |
|---|---|---|----|-----|-----|-----|-----|
| X | X | X | PS | PT1 | PX1 | PT0 | PX0 |
|---|---|---|----|-----|-----|-----|-----|

#### Funciones de los bits:

**PS:** Define el nivel de prioridad de la interrupción del puerto serie. PS='1' indica nivel alto de prioridad.

**PT1:** Define el nivel de prioridad de la interrupción del contador/temporizador 1. PT1='1' indica nivel alto de prioridad.

**PX1:** Define el nivel de prioridad de la interrupción externa 1. PX1='1' indica nivel alto de prioridad.

**PT0:** Define el nivel de prioridad de la interrupción del contador/temporizador 0. PT0='1' indica nivel alto de prioridad.

**PX0:** Define el nivel de prioridad de la interrupción externa 0. PX0='1' indica nivel alto de prioridad.

#### Estructura de prioridades de las interrupciones dentro de un mismo nivel de prioridades:

| <u>Fuente de interrupción</u> | <u>Prioridad dentro del nivel</u>                                                   |
|-------------------------------|-------------------------------------------------------------------------------------|
| Convertidor A/D               | La más alta                                                                         |
| Interrupción externa 0        |  |
| Contador/Temporizador 0       |                                                                                     |
| Interrupción externa 1        |                                                                                     |
| Contador/Temporizador 1       |                                                                                     |
| Puerto serie                  |                                                                                     |
|                               | La más baja                                                                         |

#### Direcciones de los vectores de interrupción:

| <b>Fuente de interrupción</b> | <b>Dirección</b> |
|-------------------------------|------------------|
| Interrupción externa 0        | 0003H            |
| Contador/Temporizador 0       | 000BH            |
| Interrupción externa 1        | 0013H            |
| Contador/Temporizador 1       | 001BH            |
| Puerto serie                  | 0023H            |
| Convertidor A/D               | 0043H            |

## Juego de instrucciones del 8051

### ▪ Instrucciones de transferencia de datos:

| Mnemónico           | Descripción                             |
|---------------------|-----------------------------------------|
| MOV A,Rn            | Mueve registro al acumulador            |
| MOV A,directo       | Mueve directo al acumulador             |
| MOV A,@Ri           | Mueve indirecto al acumulador           |
| MOV A,#dato         | Mueve inmediato al acumulador           |
| MOV Rn,A            | Mueve acumulador al registro            |
| MOV Rn,directo      | Mueve directo al registro               |
| MOV Rn,#dato        | Mueve inmediato al registro             |
| MOV directo,A       | Mueve el acumulador a directo           |
| MOV directo,Rn      | Mueve registro a directo                |
| MOV directo,directo | Mueve directo a directo                 |
| MOV directo,@Ri     | Mueve indirecto a directo               |
| MOV directo,#dato   | Mueve dato a directo                    |
| MOV @Ri,A           | Mueve acumulador a indirecto            |
| MOV @Ri,directo     | Mueve directo a indirecto               |
| MOV @Ri,#dato       | Mueve inmediato a indirecto             |
| MOV DPTR,#dato16    | Mueve dato16 al puntero de datos        |
| MOVC A,@A+DPTR      | Mueve código relativo a DPTR y A        |
| MOVC A,@A+PC        | Mueve código relativo a PC y A          |
| MOVX A,@Ri          | Mueve RAM externa a A                   |
| MOVX A,@DPTR        | Mueve RAM externa a A                   |
| MOVX @Ri,A          | Mueve A a RAM externa                   |
| MOVX @DPTR,A        | Mueve A a RAM externa                   |
| PUSH directo        | Guarda un byte en la pila               |
| POP directo         | Lee un byte de la pila                  |
| XCH A,Rn            | Intercambia registro con el acumulador  |
| XCH A,directo       | Intercambia directo con el acumulador   |
| XCH A,@Ri           | Intercambia indirecto con el acumulador |
| XCHD A,@Ri          | Intercambia nibbles inferiores          |

### ▪ Instrucciones lógicas:

| Mnemónico         | Descripción                                |
|-------------------|--------------------------------------------|
| ANL A,Rn          | AND de un registro y el acumulador         |
| ANL A,directo     | AND de un byte y el acumulador             |
| ANL A,@Ri         | AND de un indirecto y el acumulador        |
| ANL A,#dato       | AND de un inmediato y el acumulador        |
| ANL directo,A     | AND del acumulador y un byte               |
| ANL directo,#dato | AND de un valor inmediato y un byte        |
| ORL A,Rn          | OR de un registro y el acumulador          |
| ORL A,directo     | OR de un byte y el acumulador              |
| ORL A,@Ri         | OR de un indirecto y el acumulador         |
| ORL A,#dato       | OR de un inmediato y el acumulador         |
| ORL directo,A     | OR del acumulador y un byte                |
| ORL directo,#dato | OR de un valor inmediato y un byte         |
| XRL A,Rn          | EOR de un registro y el acumulador         |
| XRL A,directo     | EOR de un byte y el acumulador             |
| XRL A,@Ri         | EOR de un indirecto y el acumulador        |
| XRL A,#dato       | EOR de un inmediato y el acumulador        |
| XRL directo,A     | EOR del acumulador y un byte               |
| XRL directo,#dato | EOR de un valor inmediato y un byte        |
| CLR A             | Limpia el acumulador                       |
| CLR bit           | Limpia el bit direccionado                 |
| CLR C             | Limpia el bit de acarreo                   |
| CPL A             | Complementa el acumulador                  |
| RL A              | Rota acumulador a la izquierda             |
| RLC A             | Rota acumulador a la izquierda con acarreo |
| RR A              | Rota acumulador a la derecha               |
| RRC A             | Rota acumulador a la derecha con acarreo   |
| SWAP A            | Intercambia nibbles en el acumulador       |

## ▪ Instrucciones aritméticas:

| Nemónico       | Descripción                                 |
|----------------|---------------------------------------------|
| ADD A,Rn       | Suma registro al acumulador                 |
| ADD A,directo  | Suma un byte al acumulador                  |
| ADD A,@Ri      | Suma indirecto al acumulador                |
| ADD A,#dato    | Suma dato inmediato al acumulador           |
| ADDC A,Rn      | Suma registro y acarreo al acumulador       |
| ADDC A,directo | Suma byte y acarreo al acumulador           |
| ADDC A,@Ri     | Suma indirecto y acarreo al acumulador      |
| ADDC A,#dato   | Suma inmediato y acarreo al acumulador      |
| SUBB A,Rn      | Sustraer registro y acarreo del acumulador  |
| SUBB A,directo | Sustraer byte y acarreo del acumulador      |
| SUBB A,@Ri     | Sustraer indirecto y acarreo del acumulador |
| SUBB A,#dato   | Sustraer inmediato y acarreo del acumulador |
| INC A          | Incrementa acumulador                       |
| INC Rn         | Incrementa registro                         |
| INC directo    | Incrementa una posición de RAM              |
| INC @Ri        | Incrementa una posición indirecta           |
| DEC A          | Decrementa acumulador                       |
| DEC Rn         | Decrementa registro                         |
| DEC directo    | Decrementa una posición de RAM              |
| DEC @Ri        | Decrementa una posición indirecta           |
| INC DPTR       | Incrementa el puntero de datos              |
| MUL AB         | Multiplica A por B                          |
| DIV AB         | Divide A por B                              |
| DA A           | Ajuste decimal del acumulador               |

## ▪ Instrucciones de salto:

| Mnemónico          | Descripción                                   |
|--------------------|-----------------------------------------------|
| ACALL addr11       | Salto absoluto a un subprograma               |
| LCALL addr16       | Salto absoluto largo a un subprograma         |
| RET                | Retoma de una subrutina                       |
| RETI               | Retoma de una interrupción                    |
| AJMP addr11        | Salto absoluto                                |
| LJMP addr16        | Salto absoluto largo                          |
| SJMO rel           | Salto corto relativo                          |
| JMP @A+DPTR        | Salto relativo a DPTR                         |
| JZ rel             | Salta si acumulador es cero                   |
| JNZ rel            | Salta si acumulador no es cero                |
| JC rel             | Salta si acarreo activo                       |
| JNC rel            | Salta si acarreo a cero                       |
| JB bit,rel         | Salta si bit está activo                      |
| JNB bit,rel        | Salta si el bit está inactivo                 |
| JBC bit,rel        | JB bit,rel + CLR bit                          |
| CJNE A,directo,rel | Compara directo con A y salta si distinto     |
| CJNE A,#dato,rel   | Compara inmediato con A y salta si distinto   |
| CJNE Rn,#dato,rel  | Compara inmediato con Rn y salta si distinto  |
| CJNE @Ri,#dato,rel | Compara inmediato con @Ri y salta si distinto |
| DJNZ Rn,rel        | Decrementa registro y salta si no es cero     |
| DJNZ directo,rel   | Decrementa directo y salta si no es cero      |
| NOP                | No Operación                                  |

## ▪ Instrucciones de manejo de bits:

| Mnemónico | Descripción                   |
|-----------|-------------------------------|
| CLR C     | Desactiva el bit de acarreo   |
| CLR bit   | Desactiva un bit directo      |
| SETB C    | Activa el bit de acarreo      |
| SETB bit  | Activa un bit directo         |
| CPL C     | Complementa el bit de acarreo |
| CPL bit   | Complementa un bit directo    |

|            |                                           |
|------------|-------------------------------------------|
| ANL C,bit  | AND del bit directo y C                   |
| ANL C,/bit | AND del complemento del bit directo y C   |
| ORL C,bit  | OR del bit directo y C                    |
| ORL C,/bit | OR del complementario del bit directo y C |
| MOV C,bit  | Mueve bit directo a C                     |
| MOV bit,C  | Mueve C a bit directo                     |